

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2004 年 12 月 23 日 (23.12.2004)

PCT

(10) 国際公開番号  
WO 2004/112140 A1

(51) 国際特許分類: H01L 27/092, H03D  
7/14, H04B 1/30, H01L 29/78, 21/336

(21) 国際出願番号: PCT/JP2004/008215

(22) 国際出願日: 2004 年 6 月 11 日 (11.06.2004)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:  
特願2003-168529 2003 年 6 月 12 日 (12.06.2003) JP

(71) 出願人 (米国を除く全ての指定国について): 株式会社豊田自動織機 (KABUSHIKI KAISHA TOYOTA JIDOSHOKKI) [JP/JP]; 〒4488671 愛知県刈谷市豊田町

2 丁目 1 番地 Aichi (JP). 新潟精密株式会社 (NIIGATA SEIMITSU CO., LTD.) [JP/JP]; 〒9430834 新潟県上越市西城町 2 丁目 5 番 1 3 号 Niigata (JP).

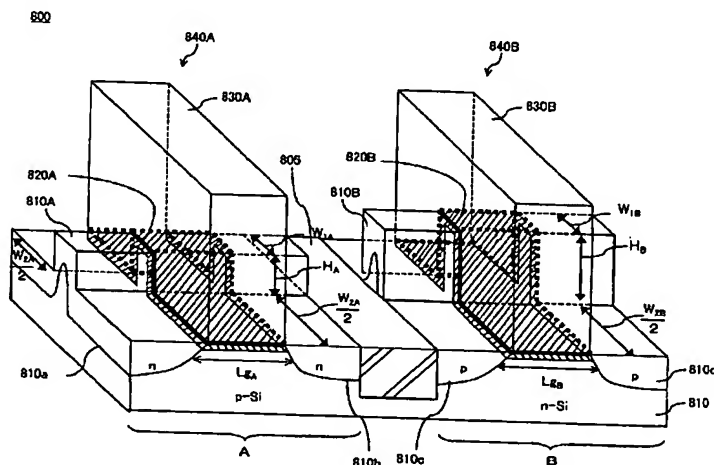
(71) 出願人 および  
(72) 発明者: 大見 忠弘 (OHMI, Tadahiro) [JP/JP]; 〒9800813 宮城県仙台市青葉区米ヶ袋 2-1-17-301 Miyagi (JP).

(72) 発明者; および  
(75) 発明者/出願人 (米国についてののみ): 西牟田 武史 (NISHIMUTA, Takefumi) [JP/JP]; 〒4488671 愛知県刈谷市豊田町 2 丁目 1 番地 株式会社豊田自動織機内 Aichi (JP). 宮城 弘 (MIYAGI, Hiroshi) [JP/JP]; 〒9430834 新潟県上越市西城町 2 丁目 5 番 1 3 号 新潟精密株式会社内 Niigata (JP). 須川 成利 (SUGAWA,

[続葉有]

(54) Title: MIXER CIRCUIT

(54) 発明の名称: ミキサ回路



(57) Abstract: A mixer circuit is configured by use of a CMOS transistor (800), which comprises a combination of a p-channel MOS transistor (840A) and an n-channel MOS transistor (840B) each including a semiconductor substrate (810A, 810) having at least two crystal surfaces and also including a gate insulation film (820A) located on the semiconductor substrate and formed for the at least two crystal surfaces, wherein the channel width of a channel formed in the semiconductor substrate along the gate insulation film is shown by the total sum of the channel widths of channels formed for the at least two crystal surfaces. This configuration can reduce 1/f noise occurring in the transistor elements, DC offsets occurring in output signals due to variations of the electric characteristics of the transistor elements, and signal distortions based on a channel length modulation effect.

(57) 要約: 少なくとも二つの結晶面を有する半導体基板 (810A、810) と、該半導体基板上であって前記結晶面の少なくとも二つに対して形成したゲート絶縁膜 (820A) とを有し、前記ゲート絶縁膜に沿って前記半導体基板中に形成されるチャネルのチャネル幅が、前記少なくとも二つの結晶面に対して各々形成されるチャネルの各チャネル幅の総和で示される、pチャネルMOSトランジスタ (840

[続葉有]

WO 2004/112140 A1



Shigetoshi) [JP/JP]; 〒9800861 宮城県仙台市青葉区川内元支倉 3 5-2-1 0 2 Miyagi (JP). 寺本章伸 (TER-AMOTO, Akinobu) [JP/JP]; 〒9830037 宮城県仙台市宮城野区平成 1 丁目 1-2 2-K 6 Miyagi (JP).

(74) 代理人: 大菅 義之 (OSUGA, Yoshiyuki); 〒1020084 東京都千代田区二番町 8 番地 2 0 二番町ビル 3 F Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG,

SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

A) 及び n チャネル MOS トランジスタ (840B) を組み合わせた CMOS トランジスタ (800) を用いて、ミキサ回路を構成する。このように構成することにより、トランジスタ素子で発生する  $1/f$  雑音や、トランジスタ素子の電気的特性のバラツキによって出力信号に生じる DC オフセットや、チャネル長変調効果に基づく信号歪を低減させることが可能となる。